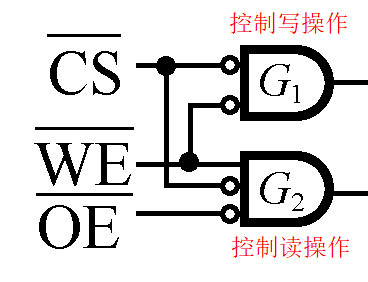
**Homework 1**

**1、一双译码SRAM阵列存储器，其存储阵列大小为1024行×256列×8位，则该SRAM陈列存储器行地址码宽度为\_\_\_\_\_位，列地址码宽度为\_\_\_\_\_\_\_位。该存储器的容量为\_\_\_\_\_\_KB。**

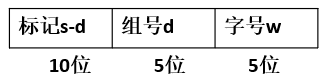
**2、SRAM存储器的读写互锁逻辑如下图所示，如需进行读操作，则**/var/folders/g5/gr5r73bs1mj3txk16r0rmr140000gn/T/com.microsoft.Word/Content.MSO/C5626303.tmp**=\_\_\_\_\_\_\_，**/var/folders/g5/gr5r73bs1mj3txk16r0rmr140000gn/T/com.microsoft.Word/Content.MSO/E4BD3928.tmp**=\_\_\_\_\_\_\_，**/var/folders/g5/gr5r73bs1mj3txk16r0rmr140000gn/T/com.microsoft.Word/Content.MSO/9749D709.tmp**=\_\_\_\_\_\_；如需进行写操作，则=\_\_\_\_\_\_\_，=\_\_\_\_\_\_\_，=\_\_\_\_\_\_**



**3、已知Cache存储周期40ns，主存存储周期200ns，cache/主存系统平均访问时间为50ns，则cache的命中率为\_\_\_\_\_\_**

**4、设存储器容量为32M字，字长为32位，模块数为8，分别用顺序和交叉方式进行组织。存储周期T=150ns，数据总线宽度为32位，总线传送周期为50ns。则若采用顺序方式组织，连续读出8个字，所需时间为\_\_\_\_\_ns，存储器带宽为\_\_\_\_\_MB/s；采用交叉方式组织，连续读出8个字，所需时间为\_\_\_\_\_\_ns，存储器带宽为\_\_\_\_\_\_\_\_MB/s。**

**5、一个组相联Cache的内存地址格式如下：**



**则该计算机主存容量（主存中包含的块数）为\_\_\_\_\_\_\_\_，每块大小（每块包含多少个字）为\_\_\_\_\_\_\_\_\_**

**6、用32K×8位的EEPROM芯片组成64K×32位的只读存储器，画出此存储器的组成框图及地址、数据、控制线的连接方式，并标明地址、数据线的宽度。**